

Handwritten signature

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—106873

⑬ Int. Cl.³
H 01 L 29/78
G 11 C 11/40
H 01 L 27/10

識別記号

1 0 1

庁内整理番号

7514—5F

6549—5B

6655—5F

⑭ 公開 昭和58年(1983)6月25日

発明の数 1

審査請求 未請求

(全 2 頁)

⑮ 半導体装置の製造方法

⑯ 特 願 昭56—204886

⑰ 出 願 昭56(1981)12月18日

⑱ 発 明 者 山田正弘

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑲ 出 願 人 株式会社諏訪精工舎

東京都中央区銀座4丁目3番4号

⑳ 代 理 人 弁理士 最上務

明 細 書

1 発明の名称 半導体装置の製造方法

2 特許請求の範囲

(1) MNOS (Metal-Nitride-Semiconductor) 素子の製造に於いてシリコン酸化膜を形成し、該シリコン酸化膜の一部を熱窒化してシリコン窒化膜とし、その上に、気相成長法あるいは、プラズマ堆積法などにより異なるシリコン窒化膜を形成することを特徴とする半導体装置の製造方法。

3 発明の詳細な説明

本発明は、MNOS不揮発メモリの製造方法に関する。従来MNOS素子の製造に関しては、シリコン酸化膜を50~100Å形成し、その上にシリコン窒化膜を500Å程度形成し、このシリコン酸化膜とシリコン窒化膜の界面相境界単位に電荷をトラップし、これによりしきい値電圧をソフトさせデ

ンタを記録する不揮発メモリーとしている。ところが、実際のシリコン窒化膜には、多くの単位が膜内に広く分布するため、シリコン酸化膜をトンネル効果で通過した電荷(主に電子)は、シリコン酸化膜—シリコン窒化膜界面だけでなくこのシリコン窒化膜内の単位に多くトラップされる。このことは、消去時、つまりゲート電極とシリコン基板層間に、電圧を印加しても、ゲート電極近傍にトラップされている電子は、基板へ逃げてくなくなり、結果的に消去特性の悪い不揮発メモリーとなり、問題となつている。

従来これらの欠点を除く方法として、シリコン酸化膜—シリコン窒化膜界面に、金属層とか、金属化合物層を非常に薄くコーティングすることが試みられているが、可動イオン等の混入がさけられず、ゲート電極へのリークが生じ易くなり、信頼性に欠けるものであつた。

そこで、本発明はトンネル効果により、侵入してきた電荷を、効率よくシリコン酸化膜—シリコン窒化膜界面に、捕獲し、しかも、従来の方法に

みられる。ゲート電極へのリークなどのないMOS不揮発メモリの製造方法を提供するものである。

次に、本発明の製造方法をPチャネルアルミゲートMOS素子を実施例として詳述する。第1図が、工程断面図である。まずM型基板に、ソース、ドレイン102を形成し、ゲート部に、200～500Åの厚さのシリコン酸化膜103を形成する。(第1図(a))

アルミニア、窒素雰囲気中、前記のシリコン酸化膜103を、50～100Å残すようにして、熱酸化を行い、シリコン窒化膜104を形成する。シリコン窒化膜の膜厚が不足の場合は、プラズマCVD法などの方法をもつて、もう一層シリコン窒化膜105を形成し、水素シタによる熱処理を行い欠陥を少なくする。(第1図(b))

最後に、ゲート電極106として、アルミニウムを形成し、MOS素子は完成する。

次に、本発明によつて製造した素子の特長を挙げる。

(1) 従来の方法では、ゲート酸化膜を、50～

100Åと非常に薄くしかもピンホール等欠陥のない膜を形成する必要があつたが、本発明では、200～500Åとかなり厚いゲート酸化膜を形成すればよく制御性が非常に高くなる。

(2) 熱酸化によつて作られたシリコン窒化膜は、欠陥が少なく信頼性が高い。

(3) シリコン酸化膜-シリコン窒化膜界面が、非常に安定しすぐれている。

以上のような特長点から、従来の製造方法にみられた消去特性の悪さ、ゲート電極へのリークなどによる信頼性の低さが、全て一掃できる。

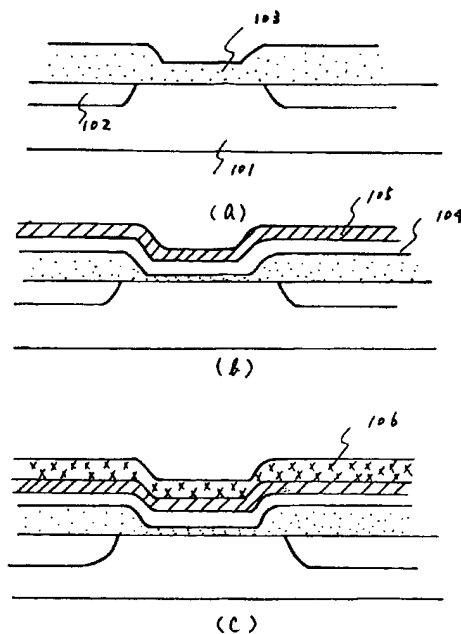
4. 図面の説明

第1図(a)(b)(c)は本発明の実施例である。

以 上

出願人 株式会社藤防精工舎

代理人 弁護士 最 上



第 1 図